

ATTENUATOR

Patent number: JP10163786
Publication date: 1998-06-19
Inventor: NOGAMIDA WATARU
Applicant: TOSHIBA LIGHTING & TECHNOLOGY; TOSHIBA AVE
KK
Classification:
- international: **H03H7/25; H03H7/24;** (IPC1-7): H03H7/25
- european:
Application number: JP19960320593 19961129
Priority number(s): JP19960320593 19961129

Report a data error here

Abstract of JP10163786

PROBLEM TO BE SOLVED: To provide an attenuator with which an insertion loss is more reduced.
SOLUTION: Between a high frequency input terminal RF IN and a high frequency output terminal RF OUT, a serial resonance circuit 1 of inductor L1 and L2 and a capacitor C1 is connected. A parallel resonance circuit 2 of the inductor L1, capacitor C2 and diode D1 and a parallel resonance circuit 3 of the inductor L2, capacitor C3 and diode D2 are connected. A control terminal CONT is connected through resistors R1 and R2. The high frequency input terminal RF IN and high frequency output terminal RF OUT are grounded through the serial circuit of a diode D3 for matching and a resistor R3 or the serial circuit of a diode D4 and resistor R4 and the capacitor C1 is grounded through a diode D5 for signal shunt and a diode D6.

Data supplied from the **esp@cenet** database - Worldwide

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163786

(43) 公開日 平成10年(1998) 6月18日

(51) Int. Cl.⁷

H03H 7/25

識別記号

FI

H03H 7/25

審査請求 未請求 請求項の数 3 〇 L (全 3 頁)

(21) 出願番号 特願平8-320593

(22) 出願日 平成8年(1996)11月29日

(71) 出願人 000003757

東京ライテック株式会社

東京都品川区東品川四丁目3番1号

(71) 出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 野上田 弥

東京都品川区東品川四丁目3番1号 東芝

ライテック株式会社内

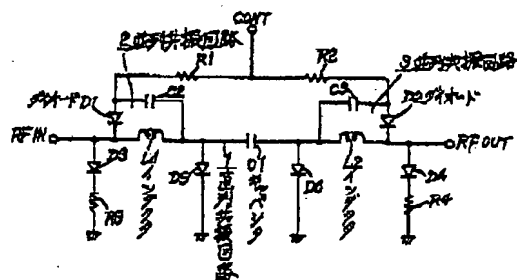
(74) 代理人 弁理士 稲澤 豪 (外2名)

(54) 【発明の名称】 アッテネータ

(57) 【要約】

【課題】 より低挿入損失化を図ったアッテネータを提供する。

【解決手段】 高周波入力端子RF IN および高周波出力端子RF OUT間に、インダクタL1、L2、コンデンサC1の直列共振回路1を接続する。インダクタL1、コンデンサC2、ダイオードD1の並列共振回路2、および、インダクタL2、コンデンサC3、ダイオードD2の並列共振回路3を接続する。抵抗R1、抵抗R2を介してコントロール端子CONTを接続する。高周波入力端子RF IN、高周波出力端子RF OUTはマッチング用のダイオードD3および抵抗R3またはダイオードD4および抵抗R4の直列回路を介して接地し、コンデンサC1は信号シャント用のダイオードD5、ダイオードD6を介して接地する。



1

【特許請求の範囲】

【請求項1】 入出力端間に接続されたインダクタおよびキャパシタの直列共振回路を具備したことを特徴とするアッテネータ。

【請求項2】 インダクタおよびキャパシタとともに形成される並列共振回路を具備したことを特徴とする請求項1記載のアッテネータ。

【請求項3】 並列共振回路内に接続され共振を制御するダイオードを具備したことを特徴とする請求項2記載のアッテネータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低挿入損失のアッテネータに関する。

【0002】

【従来の技術】近年、たとえば自動車電話あるいは携帯電話の移動体通信機器用に挿入損失を小さくしたアッテネータが用いられている。

【0003】そして、従来、この種の電力損失のアッテネータとしては、たとえば特開平8-152301号公報に記載の構成が知られている。

【0004】この特開平8-152301号公報には、4つのPINダイオードを π 型に接続し、このPINダイオードのコントロール端子側および接地配線に高周波チョークコイルを接続している。そして、高周波チョークコイルは、直流成分に対して非常に小さなインピーダンスとなるとともに、PINダイオードは低電圧で駆動するので、低電圧でアッテネータを駆動でき、低挿入損失とすることができる。

【0005】

【発明が解決しようとする課題】しかしながら、上記特開平8-152301号公報に記載の構成では、PINダイオードを低電圧で駆動することができるものの、ダイオードの高周波抵抗低減には限界がある問題を有している。

【0006】本発明は、上記問題点に鑑みなされたもので、より低挿入損失化を図ったアッテネータを提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1記載のアッテネータは、入出力端間に接続されたインダクタおよびキャパシタの直列共振回路を具備したもので、入出力端子間で直列共振回路により、低挿入損失化を図れる。

【0008】請求項2記載のアッテネータは、請求項1記載のアッテネータにおいて、インダクタおよびキャパシタとともに形成される並列共振回路を具備したもので、並列共振により必要な周波数帯でRF信号を減衰する。

【0009】請求項3記載のアッテネータは、請求項2記載のアッテネータにおいて、並列共振回路内に接続さ

(2)

特開平10-163786

2

れ共振を制御するダイオードを具備したもので、ダイオードにより並列共振のQ値を制御でき、適切な減衰になる。

【0010】

【発明の実施の形態】以下、本発明のアッテネータの一実施の形態を図面に示す電圧制御可変型のアッテネータを参照して説明する。

【0011】図1は本発明の一実施の形態のアッテネータを示す回路図で、高周波入力端子RF IN および高周波出力端子RF OUT間に、インダクタL1、キャパシタとしてのコンデンサC1およびインダクタL2の直列共振回路1が接続されている。また、インダクタL1に対して並列にコンデンサC2および並列共振を制御するダイオードD1の直列回路が接続されて並列共振回路2が形成され、インダクタL2に対して並列にコンデンサC3および並列共振を制御するダイオードD2の直列回路が接続されて並列共振回路3が形成されている。

【0012】また、コンデンサC2およびダイオードD1の接続点に抵抗R1が接続され、コンデンサC3およびダイオードD2の接続点に抵抗R2が接続され、これら抵抗R1および抵抗R2の接続点にコントロール端子CONTが形成されている。

【0013】さらに、高周波入力端子RF IN はマッチング用のダイオードD3および抵抗R3の直列回路を介して接地され、高周波出力端子RF OUTはマッチング用のダイオードD4および抵抗R4の直列回路を介して接地され、コンデンサC1の一端は信号シャント用のダイオードD5、他端は同じく信号シャント用のダイオードD6を介して接地されている。

【0014】次に、上記実施の形態の動作について説明する。

【0015】まず、コントロール端子CONTからコントロール電流が供給されると、コントロール電流に従いインダクタL1、コンデンサC1およびインダクタL2の直列共振回路1で直列共振するとともに、インダクタL1、コンデンサC2およびダイオードD1の並列共振回路2で並列共振し、インダクタL2、コンデンサC3およびダイオードD2の並列共振回路3で並列共振し、高周波入力端子RF IN から入力された高周波は所定量減衰されて高周波出力端子RF OUTから出力される。

【0016】また、高周波入力端子RF IN および高周波出力端子RF OUT間には、インダクタL1、コンデンサC1およびインダクタL2の直列共振回路1のみが接続されているため、ダイオードなどが接続されている場合に比べて挿入損失を大きく低減できる。

【0017】なお、上記実施の形態のダイオードD1～D6は、挿入損失あるいはアッテネーションレベルに従いPINダイオード、PN接合ダイオードあるいはショットキーダイオードなどのいずれをも用いることができ、接続は上述の形態に限らず π 型あるいはT型などとするこ

(3)

特開平10-163786

3

とができる。

【0018】

【発明の効果】請求項1記載のアッテネータによれば、入出力端子間に接続されたインダクタおよびキャパシタの直列共振回路を具備したことにより、入出力端子間で直列共振回路が形成され、低挿入損失化を図ることができる。

【0019】請求項2記載のアッテネータによれば、請求項1記載のアッテネータに加え、インダクタおよびキャパシタのいずれかの素子とともに形成される並列共振回路を具備したので、並列共振により必要な周波数を減衰できる。

【0020】請求項3記載のアッテネータによれば、請求項2記載のアッテネータに加え、並列共振回路内に接*

*続され共振を制御するダイオードを具備したので、ダイオードにより並列共振のQ値を制御でき、速切に減衰できる。

【図面の簡単な説明】

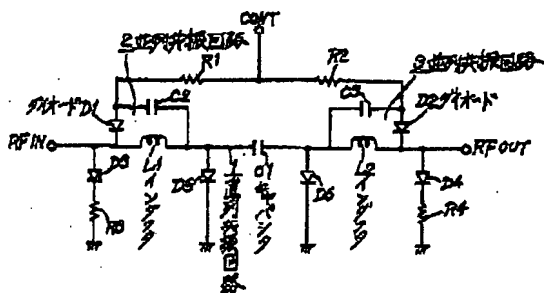
【図1】本発明のアッテネータの一実施の形態を示す回路図である。

【図2】周波数と減衰量およびバイアス電流との関係を示すグラフである。

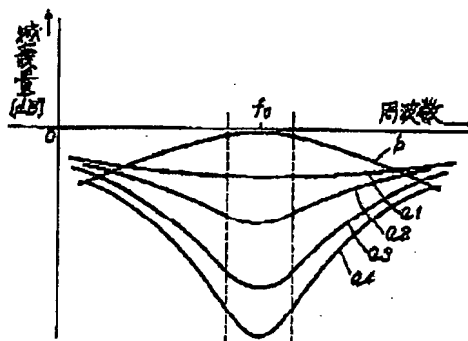
【符号の説明】

- 1 直列共振回路
- 2, 3 並列共振回路
- C1 キャパシタとしてのコンデンサ
- D1, D2 ダイオード
- L1, L2 インダクタ

【図1】



【図2】



28. Feb. 2006 15:55

S. YAMAMOTO OSAKA

▲

NO. 0391 P. 28/35

S. YAMAMOTO OSAKA